

IN THE U.S. PATENT AND TRADEMARK OFFICE

In re application of

Ryuji TOMITA et al.

Conf.

Application No. NEW NON-PROVISIONAL

Group

Filed March 24, 2004

Examiner

SEMICONDUCTOR DEVICE WITH GUARD RING FOR PREVENTING WATER FROM  
ENTERING CIRCUIT REGION FROM OUTSIDE

CLAIM TO PRIORITY

Assistant Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

March 24, 2004

Sir:

Applicant(s) herewith claim(s) the benefit of the  
priority filing date of the following application(s) for the  
above-entitled U.S. application under the provisions of 35  
U.S.C. § 119 and 37 C.F.R. § 1.55:

<u>Country</u>	<u>Application No.</u>	<u>Filed</u>
JAPAN	2003-098163	April 1, 2003

Certified copy(ies) of the above-noted application(s)  
is(are) attached hereto.

Respectfully submitted,

YOUNG & THOMPSON



---

Benoit Castel, Reg. No. 35,041  
745 South 23<sup>rd</sup> Street  
Arlington, VA 22202  
Telephone (703) 521-2297  
Telefax (703) 685-0573  
703) 979-4709

BC/ia

Attachment(s): 1 Certified Copy(ies)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    4 月    1 日  
Date of Application:

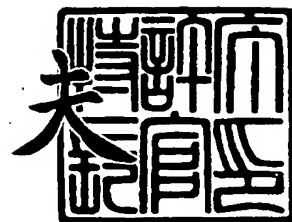
出 願 番 号                      特 願 2 0 0 3 - 0 9 8 1 6 3  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 8 1 6 3 ]

出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 4 年    2 月 1 7 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 4 - 3 0 0 9 9 4 2

【書類名】 特許願

【整理番号】 74120051

【提出日】 平成15年 4月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/02

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 富田 隆治

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 黒川 哲也

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 石上 隆司

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 井口 学

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 上野 和良

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 NECエレクトロニクス株式会社内

【氏名】 関根 誠

**【特許出願人】****【識別番号】** 302062931**【氏名又は名称】** N E C エレクトロニクス株式会社**【代理人】****【識別番号】** 100123788**【弁理士】****【氏名又は名称】** 宮崎 昭夫**【電話番号】** 03-3585-1882**【選任した代理人】****【識別番号】** 100088328**【弁理士】****【氏名又は名称】** 金田 暢之**【選任した代理人】****【識別番号】** 100106297**【弁理士】****【氏名又は名称】** 伊藤 克博**【選任した代理人】****【識別番号】** 100106138**【弁理士】****【氏名又は名称】** 石橋 政幸**【手数料の表示】****【予納台帳番号】** 201087**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【物件名】** 委任状 1**【援用の表示】** 平成 1 5 年 3 月 2 8 日提出の包括委任状を援用する。

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された回路の領域である回路形成領域を有する半導体装置であって、

回路形成領域への周辺からの水分の浸入を防ぐための、該回路形成領域の周囲を囲む第 1 のガードリングと、

前記回路形成領域と前記第 1 のガードリングの間に設けられ、該回路形成領域の周囲を囲む第 2 のガードリングと、

前記第 1 のガードリングと前記第 2 のガードリングを接続し、該第 1 のガードリングと該第 2 のガードリング間の領域を複数の区域に分割するための第 1 の接続部と、

を有する半導体装置。

【請求項 2】 前記回路形成領域が角部を有し、

前記第 1 の接続部は、前記回路形成領域の角部に対応する前記第 2 のガードリングの角部と前記第 1 のガードリングを接続する請求項 1 記載の半導体装置。

【請求項 3】 前記回路形成領域が角部を有し、

前記第 1 の接続部の設置密度が前記回路形成領域の角部に近いほど大きい請求項 1 または 2 記載の半導体装置。

【請求項 4】 前記第 2 のガードリングと前記回路形成領域の間に設けられ、該回路形成領域の周囲を囲む第 3 のガードリングと、

前記第 2 のガードリングと前記第 3 のガードリングを接続し、該第 2 のガードリングと該第 3 のガードリング間の領域を複数の区域に分割するための第 2 の接続部と、

を有する請求項 1 乃至 3 のいずれか 1 項記載の半導体装置。

【請求項 5】 前記第 1 の接続部の前記第 2 のガードリングに対する接続部位と、前記第 2 の接続部の前記第 2 のガードリングに対する接続部位との位置が異なる請求項 4 記載の半導体装置。

【請求項 6】 前記第 2 のガードリングと前記回路形成領域の間に設けられ

、該回路形成領域の周囲を囲む第3のガードリングと、

前記第2のガードリングと前記第3のガードリングを接続し、該第2のガードリングと該第3のガードリング間の領域を複数の区域に分割するための第2の接続部とを有し、

前記第2のガードリングのパターンは、異なる方向から結合するパターンの数を示す結合点について4結合点以上を持たない請求項1乃至3のいずれか1項記載の半導体装置。

【請求項7】 前記回路形成領域が角部を有し、

前記第2の接続部は、前記回路形成領域の角部に対応する前記第3のガードリングの角部と前記第2のガードリングを接続する請求項4乃至6のいずれか1項記載の半導体装置。

【請求項8】 前記回路形成領域が角部を有し、

前記第2の接続部の設置密度が前記回路形成領域の角部に近いほど大きい請求項4乃至7のいずれか1項記載の半導体装置。

【請求項9】 前記回路形成領域には、酸化膜よりも誘電率の低い膜である第1の絶縁膜と、該第1の絶縁膜と膜質の異なる第2の絶縁膜が積層され、

前記第1のガードリング、前記第2のガードリングおよび前記第1の接続部についての前記半導体基板に対する垂直方向の構造は、前記第1の絶縁膜の側面、および該第1の絶縁膜と前記第2の絶縁膜との界面を覆う構成である請求項1乃至3記載の半導体装置。

【請求項10】 前記回路形成領域には、酸化膜よりも誘電率の低い膜である第1の絶縁膜と、該第1の絶縁膜と膜質の異なる第2の絶縁膜が積層され、

前記第1のガードリング、前記第2のガードリング、前記第3のガードリング、前記第1の接続部および前記第2の接続部についての前記半導体基板に対する垂直方向の構造は、前記第1の絶縁膜の側面、および該第1の絶縁膜と前記第2の絶縁膜との界面を覆う構成である請求項4乃至8記載の半導体装置。

【請求項11】 前記第1の絶縁膜が、

梯子型水素化シロキサン膜、水素含有ポリシロキサン膜、SiOC膜、SiOF膜、SiC膜および有機膜のうち少なくともいずれか一つを含む請求項9また

は 1 0 記載の半導体装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、トランジスタ等の半導体素子で形成された回路への水分の浸入を防ぐためのガードリングを備えた半導体装置に関する。

【 0 0 0 2 】

【従来の技術】

従来、メモリやロジックなどの回路が形成された領域である回路形成領域を有する半導体装置は、回路形成領域への周辺からの水分の浸入を防ぐための、チップ周辺に沿って銅（C u）等の金属で形成されたガードリングを備えている（例えば、特許文献 1 参照）。チップ周辺に近い方に形成された外側ガードリングと、外側ガードリングと回路形成領域の間に形成された内側ガードリングとを設けた二重ガードリングがある。この二重ガードリングでは、外側ガードリングの一部に欠陥があって、チップ周辺から外側ガードリングの内側に水分が浸入しても、内側ガードリングが回路形成領域への水分の浸入を防いでいた。

【 0 0 0 3 】

【特許文献 1】

特開平 9 - 4 5 7 6 6 号公報

【 0 0 0 4 】

【発明が解決しようとする課題】

上述した二重ガードリングでは、ガードリングを単に二重に設けただけであるため、外側ガードリングの欠陥から内側に水分が浸入した場合、内側ガードリングのどこか一部に欠陥があるだけで、回路形成領域に水分が浸入し、水分が回路配線を腐蝕させてしまうという問題があった。

【 0 0 0 5 】

本発明は上記したような従来の技術が有する問題点を解決するためになされたものであり、回路形成領域への水分の浸入をより防止し、信頼性を向上させた半導体装置を提供することを目的とする。



## 【0006】

## 【課題を解決するための手段】

上記目的を達成するための本発明の半導体装置は、半導体基板上に形成された回路の領域である回路形成領域を有する半導体装置であって、

回路形成領域への周辺からの水分の浸入を防ぐための、該回路形成領域の周囲を囲む第1のガードリングと、

前記回路形成領域と前記第1のガードリングの間に設けられ、該回路形成領域の周囲を囲む第2のガードリングと、

前記第1のガードリングと前記第2のガードリングを接続し、該第1のガードリングと該第2のガードリング間の領域を複数の区域に分割するための第1の接続部と、

を有する構成である。

## 【0007】

また、上記本発明の半導体装置において、前記回路形成領域が角部を有し、

前記第1の接続部は、前記回路形成領域の角部に対応する前記第2のガードリングの角部と前記第1のガードリングを接続することとしてもよく、前記第1の接続部の設置密度が前記回路形成領域の角部に近いほど大きいこととしてもよい。

## 【0008】

また、上記本発明の半導体装置において、前記第2のガードリングと前記回路形成領域の間に設けられ、該回路形成領域の周囲を囲む第3のガードリングと、

前記第2のガードリングと前記第3のガードリングを接続し、該第2のガードリングと該第3のガードリング間の領域を複数の区域に分割するための第2の接続部と、

を有することとしてもよい。

## 【0009】

また、上記本発明の半導体装置において、前記第1の接続部の前記第2のガードリングに対する接続部位と、前記第2の接続部の前記第2のガードリングに対する接続部位との位置が異なることとしてもよい。

## 【0010】

また、上記本発明の半導体装置において、前記第2のガードリングと前記回路形成領域の間に設けられ、該回路形成領域の周囲を囲む第3のガードリングと、

前記第2のガードリングと前記第3のガードリングを接続し、該第2のガードリングと該第3のガードリング間の領域を複数の区域に分割するための第2の接続部とを有し、

前記第2のガードリングのパターンは、異なる方向から結合するパターンの数を示す結合点について4結合点以上を持たないこととしてもよい。

## 【0011】

また、上記本発明の半導体装置において、前記回路形成領域が角部を有し、

前記第2の接続部は、前記回路形成領域の角部に対応する前記第3のガードリングの角部と前記第2のガードリングを接続することとしてもよく、前記第2の接続部の設置密度が前記回路形成領域の角部に近いほど大きいこととしてもよい。

## 【0012】

また、上記本発明の半導体装置において、前記回路形成領域には、酸化膜よりも誘電率の低い膜である第1の絶縁膜と、該第1の絶縁膜と膜質の異なる第2の絶縁膜が積層され、

前記第1のガードリング、前記第2のガードリングおよび前記第1の接続部についての前記半導体基板に対する垂直方向の構造は、前記第1の絶縁膜の側面、および該第1の絶縁膜と前記第2の絶縁膜との界面を覆う構成であることとしてもよい。

## 【0013】

また、上記本発明の半導体装置において、前記回路形成領域には、酸化膜よりも誘電率の低い膜である第1の絶縁膜と、該第1の絶縁膜と膜質の異なる第2の絶縁膜が積層され、

前記第1のガードリング、前記第2のガードリング、前記第3のガードリング、前記第1の接続部および前記第2の接続部についての前記半導体基板に対する垂直方向の構造は、前記第1の絶縁膜の側面、および該第1の絶縁膜と前記第2

の絶縁膜との界面を覆う構成であることとしてもよい。

【0014】

さらに、上記本発明の半導体装置において、前記第1の絶縁膜が、梯子型水素化シロキサン膜、水素含有ポリシロキサン膜、SiOC膜、SiOF膜、SiC膜および有機膜のうち少なくともいずれか一つを含むこととしてもよい。

【0015】

(作用)

本発明では、第1のガードリングと第2のガードリングで挟まれる領域を複数の区域に分割することにより、第1のガードリングの一部に欠陥があっても、欠陥のある部分に属する区域にしか水分が侵入しない。そのため、第2のガードリングについて、水分が浸入した区域を形成しない部分に欠陥があっても、水分が回路形成領域に侵入することを防げる。

【0016】

また、本発明では、第2のガードリングの角部と第1のガードリングを接続する接続部を設けて、第2のガードリングと第1のガードリング間の領域を複数の区域に分割することで、回路形成領域の角部に対応して半導体装置をチップ毎に切り離すためのスクライプ処理の際、角部付近の第1のガードリングに欠陥が生じて、区域の一つに水分が浸入しても、他の区域に水分が浸入するのを防げる。

【0017】

また、本発明では、第1のガードリングと第2のガードリング間の領域が接続部により分割され、分割による区域が角部に近いほど多く設けられているため、スクライプ処理の際、角部に近いところの第1のガードリングに欠陥が生じて、一つの区域に水分が浸入するだけで、他の区域に水分が浸入するのを防げる。

【0018】

また、本発明では、3重にガードリングを設けているため、水分の浸入した区域の第2のガードリングに欠陥があっても、回路形成領域への水分の浸入がより防げる。

【0019】

また、本発明では、第1の接続部の第2のガードリングに対する接続部位と、第2の接続部の第2のガードリングに対する接続部位との位置が異なる構成であるため、接続部位での金属埋め込み性が向上し、水分の浸入をより防止する。

【0020】

また、本発明では、第2のガードリングのパターンが4結合点以上を持たないため、接続部位での金属埋め込み性が向上し、水分の浸入をより防止する。

【0021】

また、本発明では、第3のガードリングの角部と第2のガードリングを接続する接続部を設けて、第3のガードリングと第2のガードリング間の領域を複数の区域に分割することで、スクライプ処理の際、角部付近の第2のガードリングに欠陥が生じて、区域の一つに水分が浸入しても、他の区域に水分が浸入するのを防げる。

【0022】

また、本発明では、第2のガードリングと第3のガードリング間の領域が接続部により分割され、分割による区域が角部に近いほど多く設けられているため、半導体装置をチップ毎に切り離すためのスクライプ処理の際、角部に近いところの第2のガードリングまで欠陥が生じて、一つの区域に水分が浸入するだけで、他の区域に水分が浸入するのを防げる。

【0023】

また、本発明では、水分の浸入し易い、第1の絶縁膜の側面、および第1の絶縁膜と第2の絶縁膜との界面をガードリングおよび接続部が覆っているため、回路形成領域への水分の浸入をより防止する。

【0024】

さらに、本発明では、配線層間容量を小さくするために、梯子型水素化シロキサン膜、水素含有ポリシロキサン膜、SiOC膜、SiOF膜、SiC膜および有機膜等の低誘電率膜を回路形成領域に用いても、回路形成領域への水分の浸入をより防止する。

【0025】

【発明の実施の形態】

本発明の半導体装置は、ガードリング間の領域を複数の接続部で区切るものである。

#### 【0026】

(第1実施例)

本発明の半導体装置の構成について説明する。

#### 【0027】

図1は本発明の半導体装置の一構成例を示す平面図である。図1(a)は全体図であり、図1(b)はガードリング部分を拡大した図である。

#### 【0028】

図1(a)に示すように、本発明の半導体装置は、メモリやロジック等の回路が形成された回路形成領域100を囲み、チップ周辺に沿って形成された二重のガードリング101、102と、ガードリング同士を接続する接続部103とが設けられている。二重のガードリングとして、チップ周辺に近い側に形成された第1のガードリング101と、第1のガードリング101と回路形成領域100の間に形成された第2のガードリング102とを備えている。接続部103は、第1のガードリング101および第2のガードリング102を接続し、複数設けられている。

#### 【0029】

図1(b)に示すように、第1のガードリング101と第2のガードリング102とは複数の接続部103で接続され、第1のガードリング101と第2のガードリング102で挟まれる領域が複数の区域に分割されている。図1(b)に示す接続部103の間隔 $L_1$ は $1.9\mu\text{m}$ に形成されている。

#### 【0030】

上述のように、第1のガードリング101と第2のガードリング102で挟まれる領域を複数の区域に分割することで、スクライビング時にチップ端部で発生しうるチップングや層間膜剥れにより第1のガードリング101の一部が破壊されても、破壊された一部に属する区域にしか水分が侵入しない。また、第1のガードリング101の一部に欠陥が存在した場合においても、欠陥のある部分に属する区域にしか水分が侵入しない。そのため、第2のガードリング102につい

て、水分が浸入した区域を形成しない部分に欠陥があっても、水分が回路形成領域100に侵入することを防げる。

#### 【0031】

次に、半導体装置のガードリング部分の断面構造について説明する。

#### 【0032】

図2は図1(b)に示したガードリング部分の断面構造図である。図2(a)は図1(b)のAA'で示す位置の断面図であり、図2(b)は図1(b)のBB'で示す位置の断面図である。

#### 【0033】

図2(a)に示すように、第1のガードリング101および第2のガードリング102は、図に示さない半導体基板上の下地絶縁膜となる酸化膜(SiO<sub>2</sub>膜)112上に形成されたガードリング用第1の配線114と、ガードリング用第1の配線に沿って所定の幅で形成されたスリットビア118と、スリットビア118を介してガードリング用第1の配線114と接続されたガードリング用第2の配線120とを有する構成である。スリットビア118への金属の埋め込み性をよくするために、スリットビア118の幅は回路形成領域100のビア径と等しくしている。

#### 【0034】

ガードリング用第1の配線114は、エッチング停止のためのストッパ膜となるSiCN膜130と、SiO<sub>2</sub>膜122が順に形成された第1の層間絶縁膜150中に設けられている。スリットビア118は、SiCN膜132と低誘電率膜のラダーオキサイド(梯子型水素化シロキサン:以下、L-O<sub>x</sub>(NECエレクトロニクス株式会社出願中の商標)と称する)膜116が順に形成された第2の層間絶縁膜152中に形成されている。ガードリング用第2の配線120はSiCN膜134およびL-O<sub>x</sub>膜124が順に形成された第3の層間絶縁膜154中に形成されている。ガードリング用第2の配線120の上にはSiCN膜136、SiO<sub>2</sub>膜126およびSiON膜128が順に形成されている。

#### 【0035】

なお、上述のようにして、層間絶縁膜に低誘電率膜を用いるのは、回路形成領

域 100 における配線間容量を小さくするためである。

#### 【0036】

次に、接続部 103 の断面構造について説明する。

#### 【0037】

図 2 (b) に示すように、接続部 103 は、ガードリング用第 1 の配線 114、スリットビア 118 およびガードリング用第 2 の配線 120 が順に形成され、第 1 のガードリング 101 および第 2 のガードリング 102 と一体になっている。

#### 【0038】

上述のように、第 1 のガードリング 101、第 2 のガードリング 102 および接続部 103 は、低誘電率膜の側面、および低誘電率膜と酸化膜などの他の絶縁膜との界面を覆うように形成されている。低誘電率膜の側面、および低誘電率膜と他の絶縁膜との界面は酸化膜に比べて水分が浸入しやすく、回路形成領域 100 への水分の侵入を防ぐためである。

#### 【0039】

また、接続部 103 は、第 1 のガードリング 101 および第 2 のガードリング 102 と同じ深さまで形成されている。そのため、第 1 のガードリング 101 と第 2 のガードリング 102 に挟まれた領域の一つの区域に水分が侵入しても、隣接する区域への水分の侵入を防げる。

#### 【0040】

なお、回路形成領域 100 の半導体基板には、図に示さないトランジスタ素子、抵抗素子、およびキャパシタ素子等の半導体素子が形成され、半導体素子上に下地絶縁膜として SiO<sub>2</sub> 膜 112 が形成されている。SiO<sub>2</sub> 膜 112 上には、図に示さない配線およびビアが所望の回路動作のために接続されている。

#### 【0041】

次に、上述した構成の半導体装置の製造方法について説明する。

#### 【0042】

図 3 乃至図 5 は半導体装置の製造工程の一例を示す断面構造図である。回路形成領域とガードリング形成領域について示す。

## 【0043】

図に示さない半導体素子を半導体基板上の回路形成領域に形成した後、 $\text{SiO}_2$ 膜112を形成する(図3(a))。 $\text{SiO}_2$ 膜112上に $\text{SiCN}$ 膜と $\text{SiO}_2$ 膜を順に形成し、 $\text{SiCN}$ 膜と $\text{SiO}_2$ 膜を有する第1の層間絶縁膜150を形成する(図3(b))。続いて、公知のリソグラフィ技術により、第1の配線となる溝を形成するための開口を設けたレジスト160のパターンを形成する(図3(c))。

## 【0044】

図3(d)に示すように、異方性エッチングにより、レジスト160の開口の第1の層間絶縁膜150の $\text{SiO}_2$ 膜を除去し、続いて、第1の層間絶縁膜150の $\text{SiCN}$ 膜を除去する。そして、回路形成領域に回路用第1の配線溝162aを形成し、ガードリング形成領域にガードリング用第1の配線溝162を形成した後、レジスト160を除去する。続いて、シード層となるCuを形成し、電解メッキ法によりCu膜164を形成する(図4(e))。

## 【0045】

図4(f)に示すように、CMP (Chemical Mechanical Polishing) 法により第1の層間絶縁膜150の上面が露出するまでCu膜164を研磨して、回路用第1の配線114aおよびガードリング用第1の配線114を形成する。続いて、 $\text{SiCN}$ 膜および $\text{L-Ox}$ 膜を有する第2の層間絶縁膜152を形成する(図4(g))。

## 【0046】

続いて、上記回路用第1の配線114aおよびガードリング用第1の配線114の形成と同様にして、図5(h)に示すように、回路形成領域に回路用ビア118aを形成し、ガードリング形成領域にスリットビア118を形成する。なお、回路形成領域における回路用ビア118aへのCu埋め込み条件で、ガードリング形成領域のスリットビア118にCuを十分に埋め込むために、スリットビア118の幅Wは回路用ビア118aの直径と等しくしている。

## 【0047】

その後、 $\text{SiCN}$ 膜および $\text{L-Ox}$ 膜を有する第2の層間絶縁膜152を形成



した後、上記回路用第1の配線114aおよびガードリング用第1の配線114の形成と同様にして、図5(i)に示すように、回路形成領域に回路用第2の配線120aを形成し、ガードリング形成領域にガードリング用第2の配線120を形成する。その後、図2に示したように、SiO<sub>2</sub>膜126およびSiON膜128を順に形成する。

#### 【0048】

上述のようにして、配線とビアとを別々に形成するシングルダマシン法を用いて、第1のガードリング101、第2のガードリング102および接続部103を形成できる。

#### 【0049】

次に、シングルダマシン法よりも工程を簡略化したデュアルダマシン法による半導体装置の製造方法について説明する。

#### 【0050】

図6および図7は半導体装置の他の製造方法を示す断面構造図である。図3乃至図5に示した場合と同様に、回路形成領域とガードリング形成領域について示す。

#### 【0051】

上述したシングルダマシン法による場合と同様にして、図に示さない半導体素子を半導体基板上の回路形成領域に形成した後、SiO<sub>2</sub>膜112を形成し(図6(a))、SiO<sub>2</sub>膜112上にSiCN膜とSiO<sub>2</sub>膜を有する第1の層間絶縁膜150を形成する(図6(b))。続いて、図3の(c)、(d)および図4の(e)、(f)と同様にして、回路形成領域に回路用第1の配線114aを形成し、ガードリング形成領域にガードリング用第1の配線114を形成する(図6(c))。

#### 【0052】

続いて、第2の層間絶縁膜152および第3の層間絶縁膜154を順に形成した後(図6(d))、公知のリソグラフィ技術によりビア形成のための開口を設けたレジストを形成する。その後、異方性エッチングにより回路用第1の配線114aおよびガードリング用第1の配線114の上面が露出するまで上記開口の

第2の層間絶縁膜152および第3の層間絶縁膜154を除去する。続いて、レジストを除去して、図7(e)に示すように、回路形成領域に回路用ビア孔166aを形成し、ガードリング形成領域にスリットビア孔166を形成する。

#### 【0053】

その後、公知のリソグラフィ技術により第2の配線形成のための開口を設けたレジストを形成し、異方性エッチングにより開口の第3の層間絶縁膜154を除去する。そして、レジストを除去して、図7(f)に示すように、回路形成領域に回路用第2の配線溝168aを形成し、ガードリング形成領域にガードリング用第2の配線溝168を形成する。

#### 【0054】

続いて、シード層となるCuを形成した後、電解メッキ法によりCu膜を形成し、CMP法により第3の層間絶縁膜154の上面が露出するまでCu膜を研磨して、図7(g)に示すように、回路形成領域に回路用第2の配線120aを形成し、ガードリング形成領域にガードリング用第2の配線120を形成する。その後、図2に示したように、SiO<sub>2</sub>膜126およびSiON膜128を順に形成する。

#### 【0055】

このようにして、デュアルダマシン法を用いて上述の構成の半導体装置を作製できる。ここで、上述の方法は、デュアルダマシン法の中でもスリットビア孔166を先に形成するビアファースト法であるが、ガードリング用第2の配線溝168を先に形成するトレンチファースト法であってもよい。

#### 【0056】

また、他のデュアルダマシン法の一つとして、以下に説明するデュアルハードマスク法であってもよい。第3の層間絶縁膜154形成後にビア孔形成用マスク膜としてSiC膜と、配線溝形成用マスク膜としてSiO<sub>2</sub>膜を順に形成する。そして、公知のリソグラフィ工程およびエッチング工程により、SiO<sub>2</sub>膜に配線溝パターンを形成し、SiC膜にビア孔パターンを形成する。続いて、SiC膜をマスクにして第2の層間絶縁膜152と第3の層間絶縁膜154をエッチングした後、SiO<sub>2</sub>膜をマスクにしてSiC膜と第3の層間絶縁膜154をエッ

チングして、スリットビア孔166およびガードリング用第2の配線溝168を形成する。この方法によれば、第2の層間絶縁膜152および第3の層間絶縁膜154がリソグラフィ工程のレジスト除去の際のアッシングダメージを受けない。

#### 【0057】

なお、図1に示した半導体装置では回路形成領域100およびチップが四角形で4つの角部を有しており、第1のガードリング101および第2のガードリング102のパターンもチップ周辺に沿っているため、4つの角部を有している。そのため、図1に示した半導体装置では接続部103を等間隔に設けたが、以下に説明するように、上記接続部103を少なくとも第2のガードリング102の角部に設けるようにしてもよい。

#### 【0058】

図8は接続部103を第2のガードリング102の角部に設けた構成例を示す平面拡大図である。

#### 【0059】

図8に示すチップの角部の点P<sub>1</sub>は、半導体装置をチップ毎に切り離すためのスクライプ処理の際、スクライプ処理の衝撃が二度かかるため、点P<sub>1</sub>付近が最も欠陥を発生しやすい。そのため、図8に示すように、第2のガードリング102角部に第1のガードリング101との接続部103を設けることで、スクライプの衝撃によりチップ角部付近から欠けが発生して、図に示す区域Sに水分が侵入しても、他の区域に水分が浸入することを防げる。

#### 【0060】

また、チップ角部側に近いほど接続部の設置密度が大きくなるようにしてもよい。

#### 【0061】

図9はチップ角部に近いほど接続部の設置密度を大きくした場合を示す平面拡大図である。図9に示すように、点P<sub>2</sub>から図の上方向への接続部103の設置間隔が1.0倍、1.7倍、2.3倍、3倍とだんだん広くなる構成である。図の左方向へも同様である。

**【0062】**

このようにして、チップ角部に近いほど接続部103の設置密度を大きくすることで、チップ角部付近に発生した欠けによる水分の浸入を一つの区域で停止させ、第2のガードリング102の内側に水分が浸入することをより防げる。

**【0063】**

(第2実施例)

本実施例は、ガードリングを3重以上設けたものである。

**【0064】**

本実施例の構成について説明する。なお、第1実施例と同様の構成については、同一の符号を付し、その詳細な説明を省略する。

**【0065】**

図10は本実施例の半導体装置の一構成例を示す平面図である。図10(a)は全体図であり、図10(b)はガードリング部分を拡大した図である。

**【0066】**

図10(a)に示すように、本実施例では、第1実施例で示した第2のガードリング102と回路形成領域100の間に第3のガードリング201を設け、ガードリングを3重にしている。第1のガードリング101と第2のガードリング102は第1の接続部103aにより接続され、第2のガードリング102と第3のガードリング201は第2の接続部203により接続されている。第2の接続部203は複数設けられている。

**【0067】**

図10(b)に示すように、第2のガードリング102と第3のガードリング201で挟まれる領域が第2の接続部203により複数の区域に分割されている。

**【0068】**

また、本実施例では、第1の接続部103aが第2のガードリング102に接続する部位と、第2の接続部203が第2のガードリング102に接続する部位との位置が一致する構成である。接続する部位の一致する点は、図10(b)に示すように十字状に形成され、異なる方向から結合するパターンの数が4つであ

るため、以下では、4結合点と称する。第1の接続部103の間隔 $L_2$ および第2の接続部203の間隔 $L_3$ は $1.9\mu\text{m}$ である。

#### 【0069】

本実施例では、ガードリングを3重以上にしたので、第2のガードリングに欠陥があっても、さらに第3のガードリングにより回路形成領域への水分の浸入を防げる。

#### 【0070】

##### (第3実施例)

本実施例は、第2実施例に示した3重以上のガードリングを設けた場合で、第2のガードリングにおける第1の接続部と第2の接続部の接続点を異ならせたものである。

#### 【0071】

本実施例の構成について説明する。なお、第1実施例および第2実施例と同様な構成については同一の符号を付し、その詳細な説明を省略する。

#### 【0072】

図11は本実施例の半導体装置の一構成例を示す平面図である。図11(a)は全体図であり、図11(b)はガードリング部分を拡大した図である。

#### 【0073】

図11(a)に示すように、第2実施例と同様に、第2のガードリング102と回路形成領域100の間に第3のガードリング201が設けられている。また、第1のガードリング101と第2のガードリング102は第1の接続部103aにより接続され、第2のガードリング102と第3のガードリング201は第2の接続部203により接続されている。

#### 【0074】

図11(b)に示すように、第1の接続部103aが第2のガードリング102に接続する部位と、第2の接続部203が第2のガードリング102に接続する部位とが異なる構成であり、接続部位は3結合点となる。そのため、本実施例における第2のガードリング102のパターンは4結合点以上を持たない構成である。

## 【0075】

ここで、接続部位におけるCuの埋め込み性について説明する。

## 【0076】

図12はガードリング用第1の配線114形成時の接続部位におけるCu膜成長過程を示す平面模式図である。図12(a)は接続部位が図10(b)に示した場合であり、図12(b)は接続部位が図11(b)に示した場合である。図12の破線はCu膜成長途中のCu膜面を示し、矢印がその成長方向を示す。

## 【0077】

Cu膜は溝部側壁から成長し始めるため、図12(a)に示すように、接続部位が十字状であると、溝部側壁角部P<sub>3</sub>から最も離れた中心点Q<sub>1</sub>まで膜を埋め込むには配線部Hを埋め込む膜厚の約1.4倍の膜厚のCuを形成しなければならない。これに対して、図12(b)に示すように、接続部位がT字状であると、溝部側壁Tからの膜成長があるため、図12(a)に示した場合に比べて形成するCuの膜厚が薄くても、溝部側壁角部P<sub>4</sub>から最も離れた点Q<sub>2</sub>まで膜を埋め込むことができる。

## 【0078】

なお、ここではガードリング用第1の配線114について説明したが、ビア層や他の配線層であっても同様である。また、4結合点より大きい5結合点以上のパターンを有すると、Cu埋め込みのために形成する膜厚がより厚くなってしまふ。

## 【0079】

このように、第2のガードリング102のパターンが4結合点以上を持たなければ、接続部位におけるCu膜の埋め込み性がより向上し、接続部位でのシール性がより向上する。

## 【0080】

次に、本実施例のガードリング形成部分の断面構造について説明する。

## 【0081】

図13は図11(b)に示したガードリング部分の断面構造図である。図13(a)は図11(b)のCC'で示す位置の断面図であり、図13(b)は図1

1 (c) の D D' で示す位置の断面図である。

【0082】

図13 (a) に示すように、第1のガードリング101、第2のガードリング102および第3のガードリング201は、図に示さない半導体基板上のSiO<sub>2</sub>膜112上に形成されたガードリング用第1の配線114と、第2の層間絶縁膜152中に設けられたスリットビア118と、スリットビア118を介してガードリング用第1の配線114と接続されたガードリング用第2の配線120とを有する構成である。なお、図に示さないが、ガードリング用第2の配線120の上には、第1実施例と同様に、図2に示したSiCN膜136、SiO<sub>2</sub>膜126およびSiON膜128が順に形成されている。

【0083】

図13 (b) に示すように、第1の接続部103aはガードリング用第1の配線114、スリットビア118およびガードリング用第2の配線120が順に形成された構成である。また、図13 (b) に示す部位では、第2の接続部203がないため、第3のガードリング201と第2のガードリング102の間には、第1の層間絶縁膜150、第2の層間絶縁膜152および第3の層間絶縁膜154が順に形成されている。図に示さないが、第2の接続部203の断面構造も、第1の接続部103aと同様である。

【0084】

なお、配線層を3層以上にしてもよい。配線層が3層以上の場合として、上記2層配線上に配線層を2層追加した4層配線の場合の断面構造について説明する。

【0085】

図14はガードリング部分の断面構造図である。

【0086】

図14 (a) に示すように、第1のガードリング101、第2のガードリング102および第3のガードリング201は、図13に示した構成に、さらに、ガードリング用第2の配線120上に第2のスリットビア218、ガードリング用第3の配線220、第3のスリットビア222、およびガードリング用第4の配

線 2 2 4 が順に形成されている。

#### 【0087】

第2のスリットビア 2 1 8 は第4の層間絶縁膜 2 1 0 中に形成され、ガードリング用第3の配線 2 2 0 は第5の層間絶縁膜 2 1 2 中に形成されている。第3のスリットビア 2 2 2 は第6の層間絶縁膜 2 1 4 中に形成され、ガードリング用第4の配線 2 2 4 は第7の層間絶縁膜 2 1 6 中に形成されている。第4の層間絶縁膜 2 1 0 から第7の層間絶縁膜 2 1 6 の各層間絶縁膜は、エッチング停止のためのストッパ膜として SiCN 膜と、低誘電率膜として L-Ox 膜が順に形成されている。

#### 【0088】

図 1 4 (b) に示すように、第1の接続部 1 0 3 a は、ガードリング用第2の配線 1 2 0 の上に、第2のスリットビア 2 1 8、ガードリング用第3の配線 2 2 0、第3のスリットビア 2 2 2 およびガードリング用第4の配線 2 2 4 が順に形成された構成である。第1の接続部 1 0 3 a は第1のガードリング 1 0 1 および第2のガードリング 1 0 2 と一体になって形成されている。図に示さないが、第2の接続部 2 0 3 の断面構造も、第1の接続部 1 0 3 a と同様である。

#### 【0089】

回路形成領域 1 0 0 が3層以上の配線を有する場合でも、上述のようにして、ガードリングおよび接続部を形成することで、回路形成領域 1 0 0 への水分の浸入を防げる。

#### 【0090】

次に、接続部がガードリングに対して傾斜を持つ場合について説明する。

#### 【0091】

図 1 5 は接続部がガードリングに対して傾斜を持って接続された一構成例を示す平面図である。

#### 【0092】

図 1 5 に示す平面図のように、第1の接続部 1 0 3 a は、第1のガードリング 1 0 1 および第2のガードリング 1 0 2 に対する角度  $\theta_1$  が 45 度で接続されている。また、第2の接続部 2 0 3 も、第1の接続部 1 0 3 a と同様に、第2のガ



ードリング102および第3のガードリング201に対する角度 $\theta_2$ が45度で接続されている。なお、角度 $\theta_1$ および $\theta_2$ は45度に限られない。

#### 【0093】

このように、接続部がガードリングに対して傾斜を持って接続されていても、4結合点以上を有さないため、接続部位におけるCuの埋め込み性が図11に示した場合と同様となる。

#### 【0094】

なお、上記第1実施例乃至第3実施例において、配線およびビアが埋め込まれた層間絶縁膜には、酸化膜の他、低誘電率膜、SiCN膜、SiN膜、SiON膜、およびこれらの積層膜を用いることができる。

#### 【0095】

また、上記低誘電率膜は、 $L-O_x$ 膜、水素含有ポリシロキサン(HSQ: hydrogensilsesquioxane)膜、SiOC膜、SiOF膜、SiC膜および有機膜等のうちいずれか一つあればよく、またこれらの積層膜であってもよい。有機膜には、例えば、MSQ(methylsilsesquioxane)膜およびBCB(benzocyclobutene)系膜がある。上記第1実施例乃至第3実施例では、低誘電率膜に $L-O_x$ 膜を用いたが、上記低誘電率膜を組み合わせ用いてよい。

#### 【0096】

また、エッチング停止のためのストッパ膜は、上記SiCNに限らず、SiN膜やSiC膜であってもよい。

#### 【0097】

また、回路用の配線およびビア、ならびにガードリング用の配線およびビアに、上記Cu、アルミニウム(Al)、銀(Ag)、金(Au)およびこれらの合金のうちいずれかの金属を用いることができる。

#### 【0098】

また、第2実施例および第3実施例のいずれかにおいて、第1実施例で示したように、第2の接続部を第3のガードリングの角部に設けたり、回路形成領域100の角部に近いほど第2の接続部の設置密度を大きくしてもよい。

## 【0099】

さらに、第1実施例および第2実施例のいずれかにおいて、第3実施例のように、配線層は3層以上であってもよい。

## 【0100】

## 【発明の効果】

本発明は以上説明したように構成されているので、以下に記載する効果を奏する。

## 【0101】

本発明では、ガードリングを二重以上配置し、ガードリング間の領域を複数の区域に分割する接続部を設けることにより、チップングおよび層間膜剥れ等によりガードリングの一部が破壊された場合やガードリングの一部に欠陥が存在した場合でも、一つの区域のみに水分が侵入するだけで、他の区域への水分の侵入を防ぎ、回路形成領域への水分の浸入をより防止できる。そのため、一部の区域で水分侵入による腐蝕の影響を抑え、一部の欠陥による影響が全体に波及することをより防げる。

## 【0102】

また、ガードリングおよび接続部は、水分が浸入し易い低誘電率膜の側面、および低誘電率膜と酸化膜などの他の絶縁膜との界面を覆うように形成されているため、回路形成領域への水分の浸入をより防げる。

## 【0103】

また、ガードリングに沿って形成されるスリットビアの幅が回路形成領域に形成されるビアの直径と等しくするため、スリットビアにおける金属の埋め込み性がよくなり、水分の浸入をより防げる。

## 【0104】

さらに、ガードリングと接続部との接続部位のパターンがT字状であるため、十字状に比べて接続部位において金属を埋め込みやすくなり、水分の浸入をさらに防げる。

## 【図面の簡単な説明】

## 【図1】

本発明の半導体装置の一構成例を示す平面図である。

【図 2】

本発明の半導体装置のガードリング部分の一構成例を示す断面構造図である。

【図 3】

本発明の半導体装置の製造工程の一例を示す断面構造図である。

【図 4】

本発明の半導体装置の製造工程の一例を示す断面構造図である。

【図 5】

本発明の半導体装置の製造工程の一例を示す断面構造図である。

【図 6】

本発明の半導体装置の他の製造方法を示す断面構造図である。

【図 7】

本発明の半導体装置の他の製造方法を示す断面構造図である。

【図 8】

接続部を第 2 のガードリングの角部に設けた構成例を示す平面拡大図である。

【図 9】

接続部の設置密度を角部に近いほど大きくした場合を示す平面拡大図である。

【図 1 0】

第 2 実施例の半導体装置の一構成例を示す平面図である。

【図 1 1】

第 3 実施例の半導体装置の一構成例を示す平面図である。

【図 1 2】

接続部位における C u 膜成長過程を示す平面模式図である。

【図 1 3】

第 3 実施例のガードリング部分を示す断面構造図である。

【図 1 4】

第 3 実施例について 4 層配線の場合のガードリング部分を示す断面構造図である。

【図 1 5】

接続部がガードリングに対して傾斜を持って接続された一構成例を示す平面図である。

【符号の説明】

- 100 回路形成領域
- 101 第1のガードリング
- 102 第2のガードリング
- 103 接続部
- 103a 第1の接続部
- 112、122、126 SiO<sub>2</sub>膜
- 114 ガードリング用第1の配線
- 114a 回路用第1の配線
- 116、124 L-Ox膜
- 118 スリットビア
- 118a 回路用ビア
- 120 ガードリング用第2の配線
- 120a 回路用第2の配線
- 128 SiON膜
- 130、132、134、136 SiCN膜
- 150 第1の層間絶縁膜
- 152 第2の層間絶縁膜
- 154 第3の層間絶縁膜
- 160 レジスト
- 162 ガードリング用第1の配線溝
- 162a 回路用第1の配線溝
- 164 Cu膜
- 166 スリットビア孔
- 166a 回路用ビア孔
- 168 ガードリング用第2の配線溝
- 168a 回路用第2の配線溝

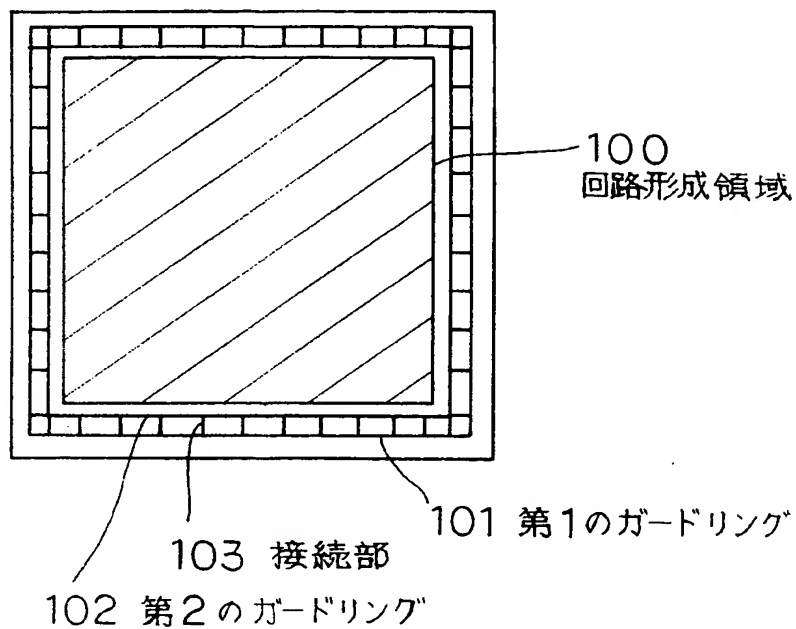
- 2 0 1 第 3 のガードリング
- 2 0 3 第 2 の接続部
- 2 1 0 第 4 の層間絶縁膜
- 2 1 2 第 5 の層間絶縁膜
- 2 1 4 第 6 の層間絶縁膜
- 2 1 6 第 7 の層間絶縁膜
- 2 1 8 第 2 のスリットビア
- 2 2 0 ガードリング用第 3 の配線
- 2 2 2 第 3 のスリットビア
- 2 2 4 ガードリング用第 4 の配線

【書類名】

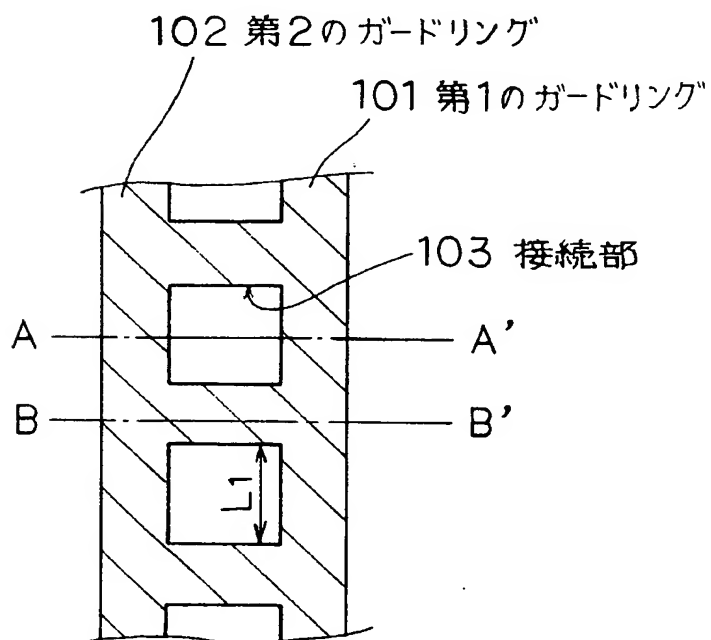
図面

【図 1】

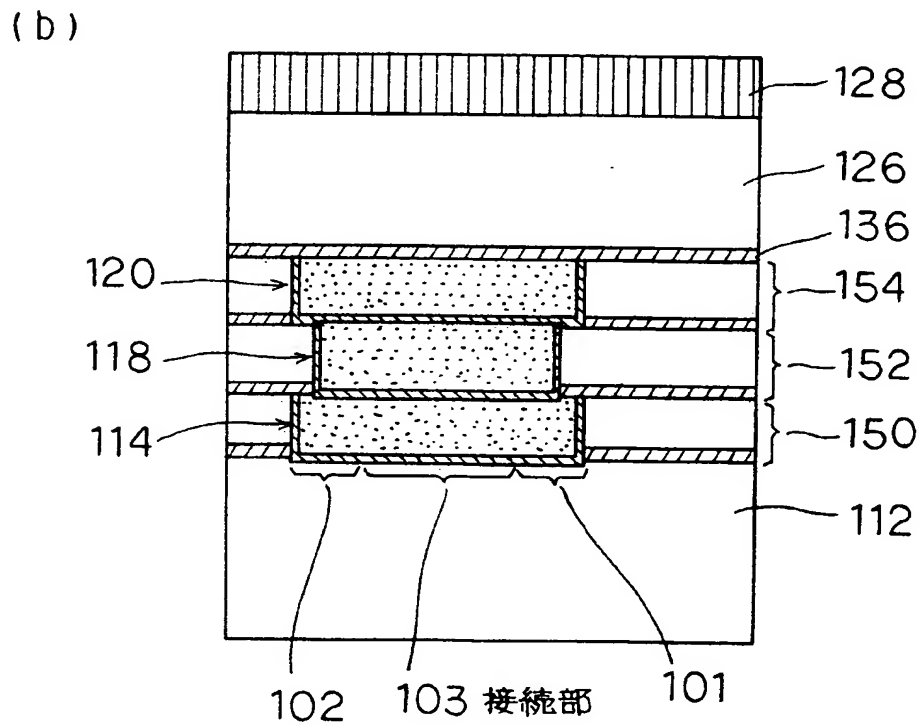
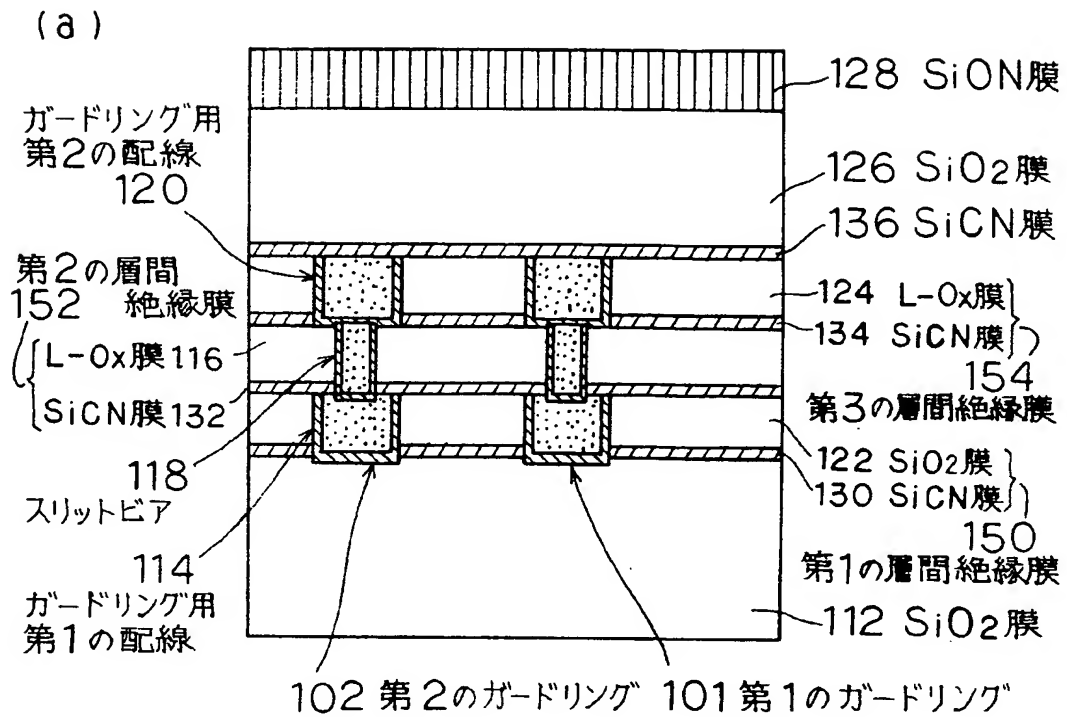
(a)



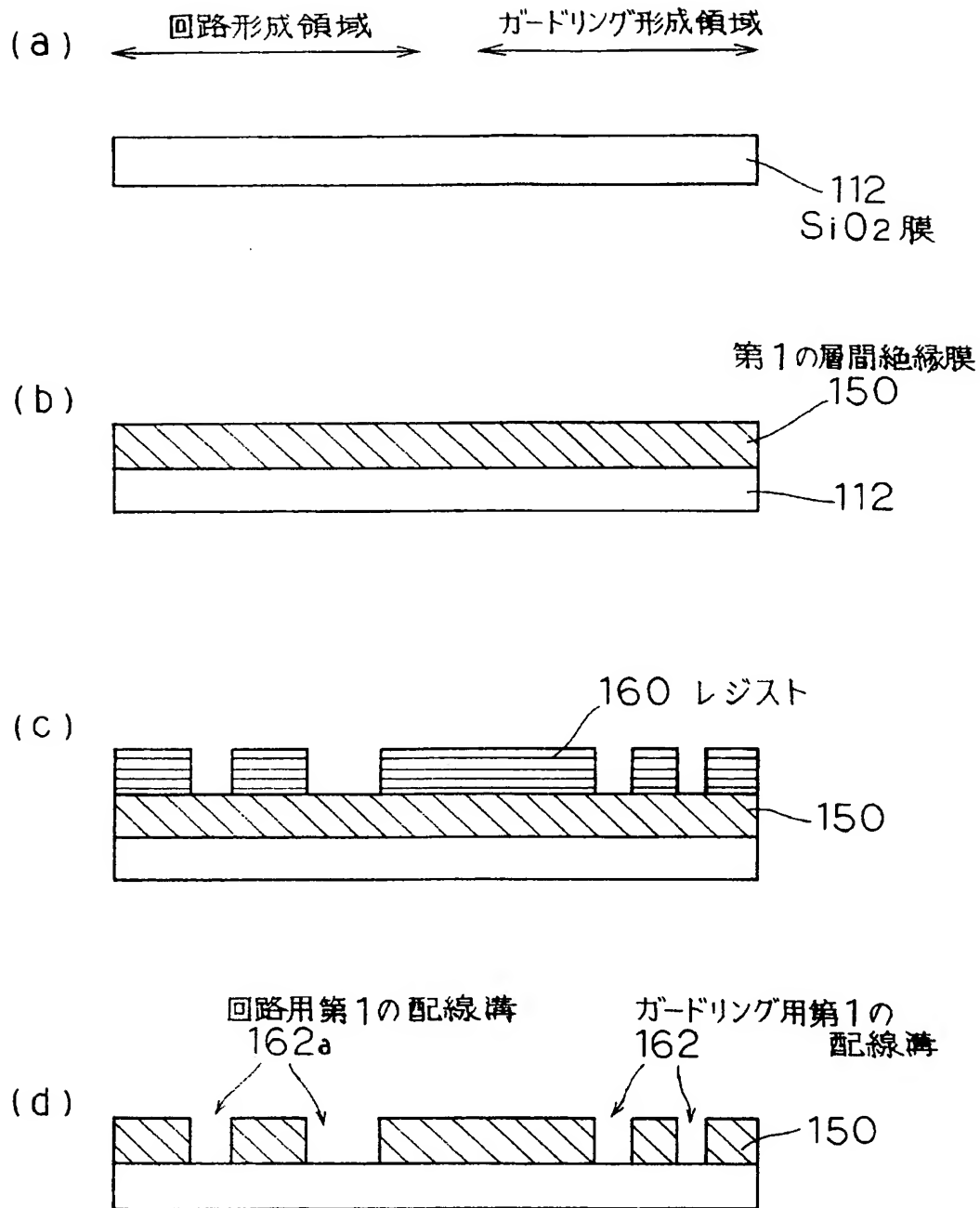
(b)



【図 2】

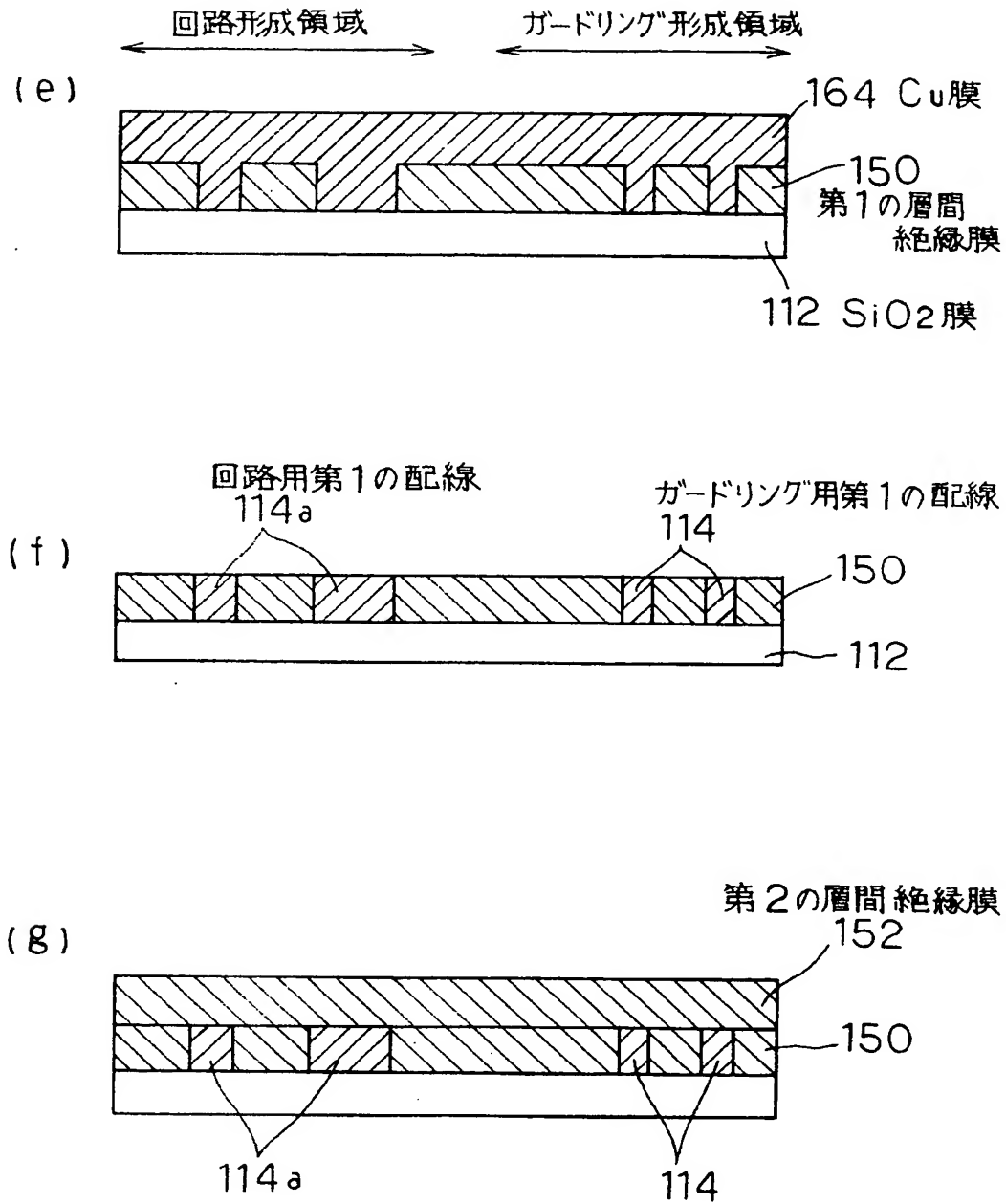


【図 3】

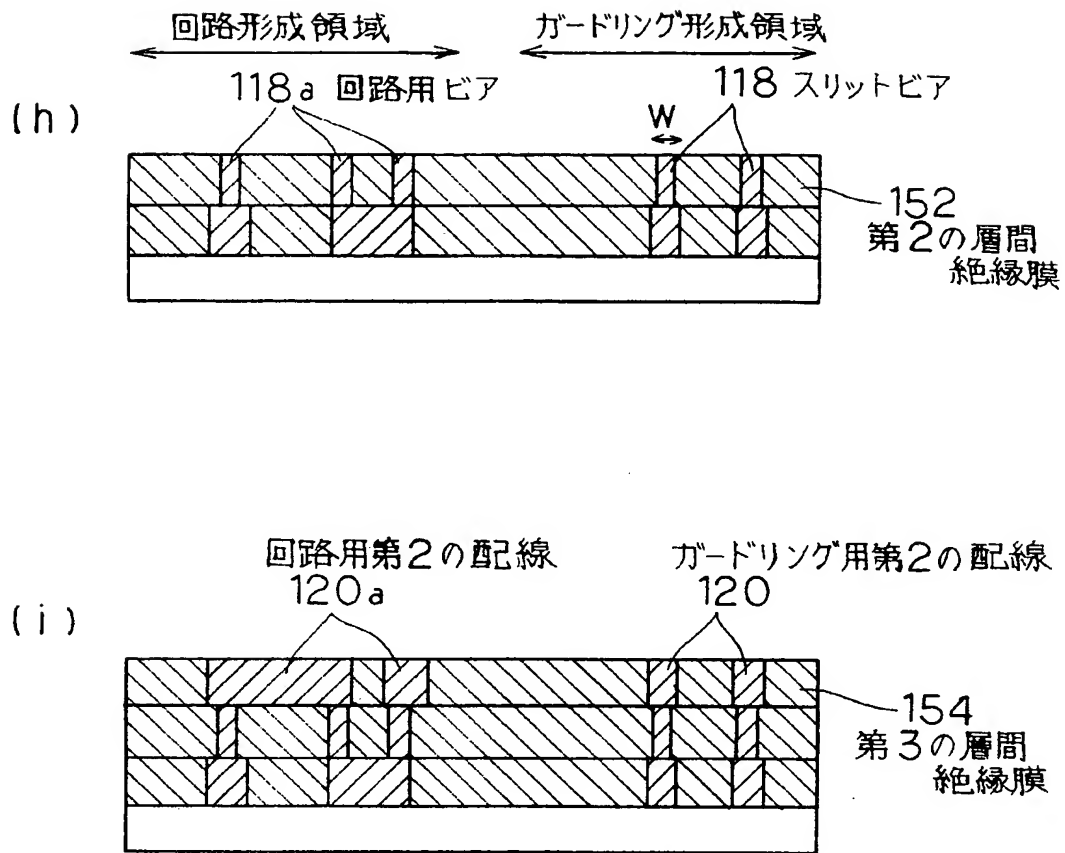




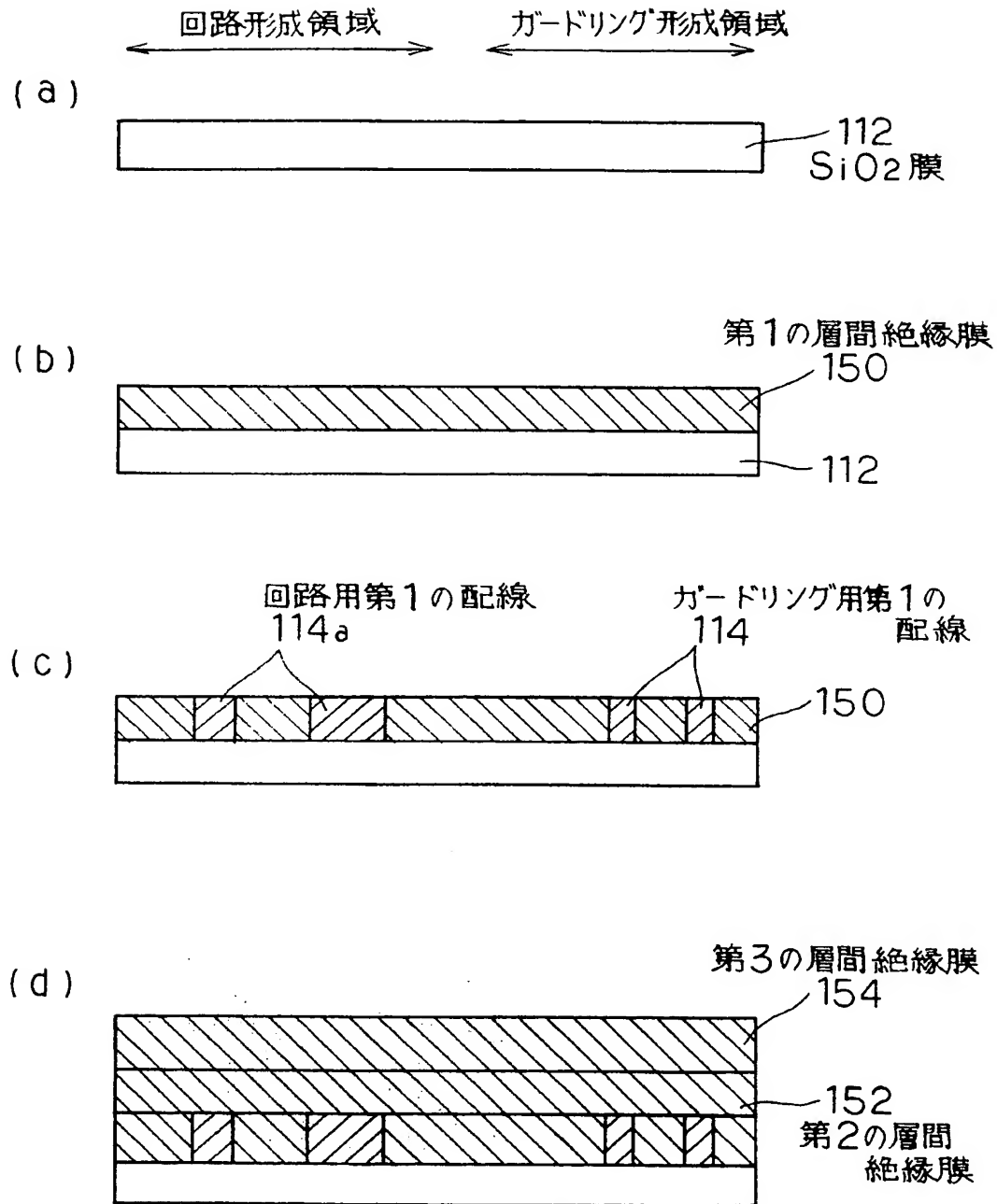
【図 4】



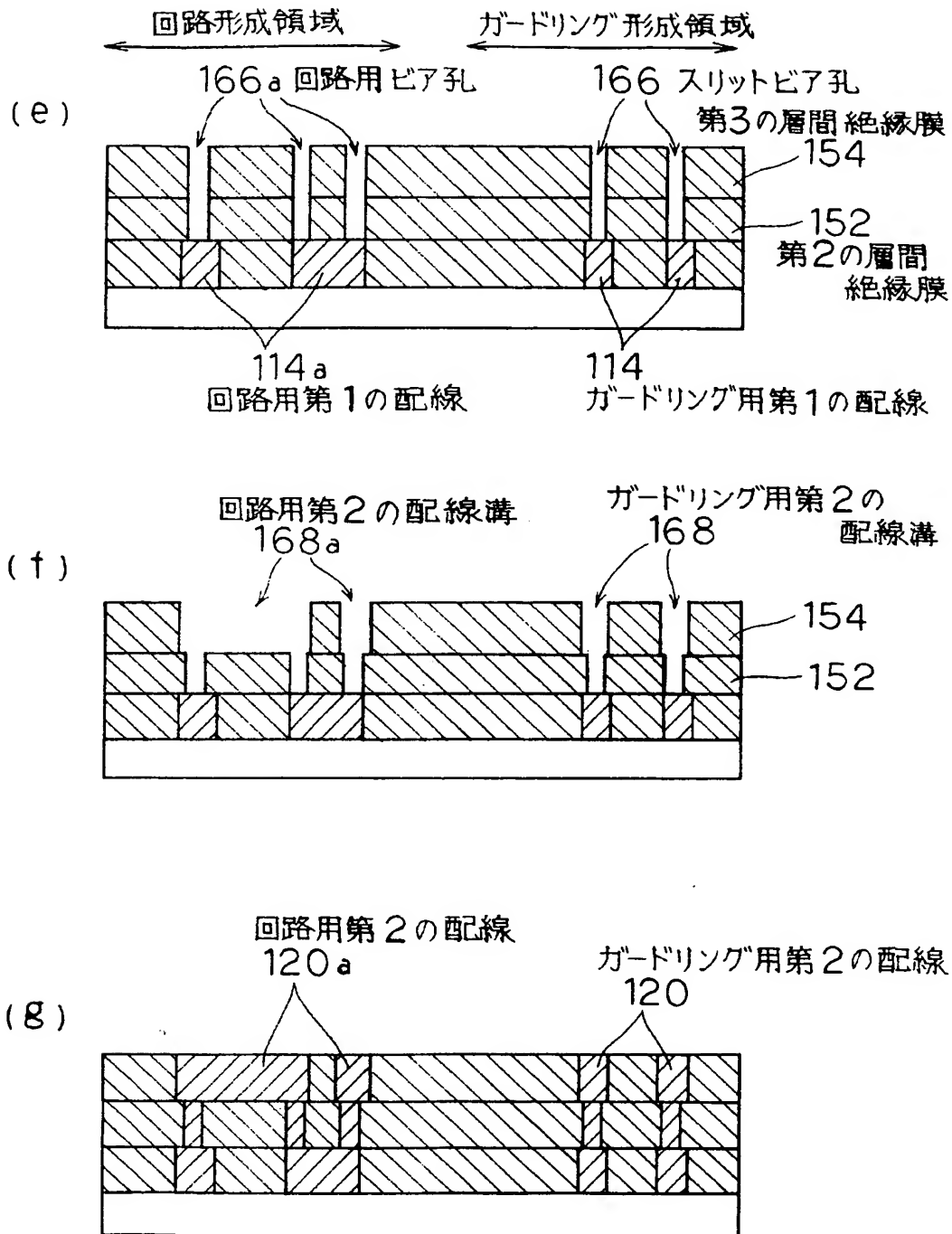
【図 5】



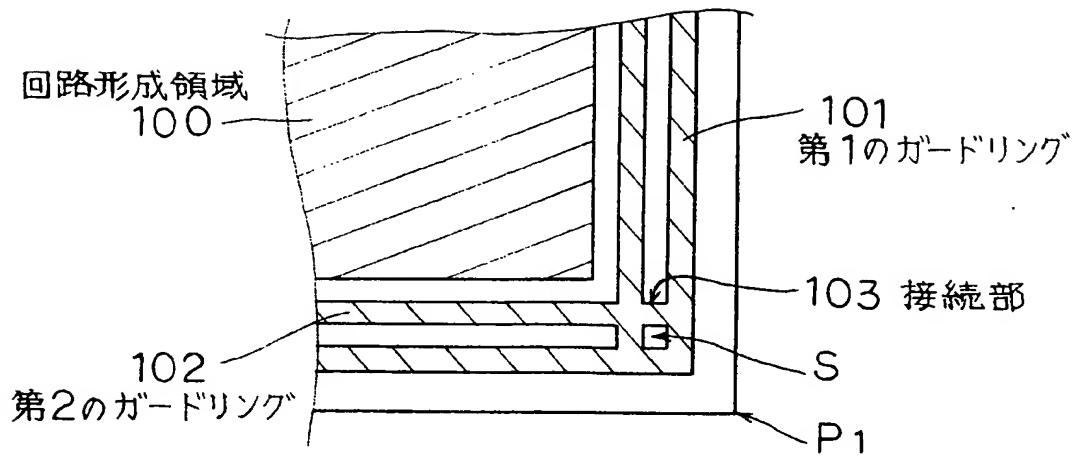
【図 6】



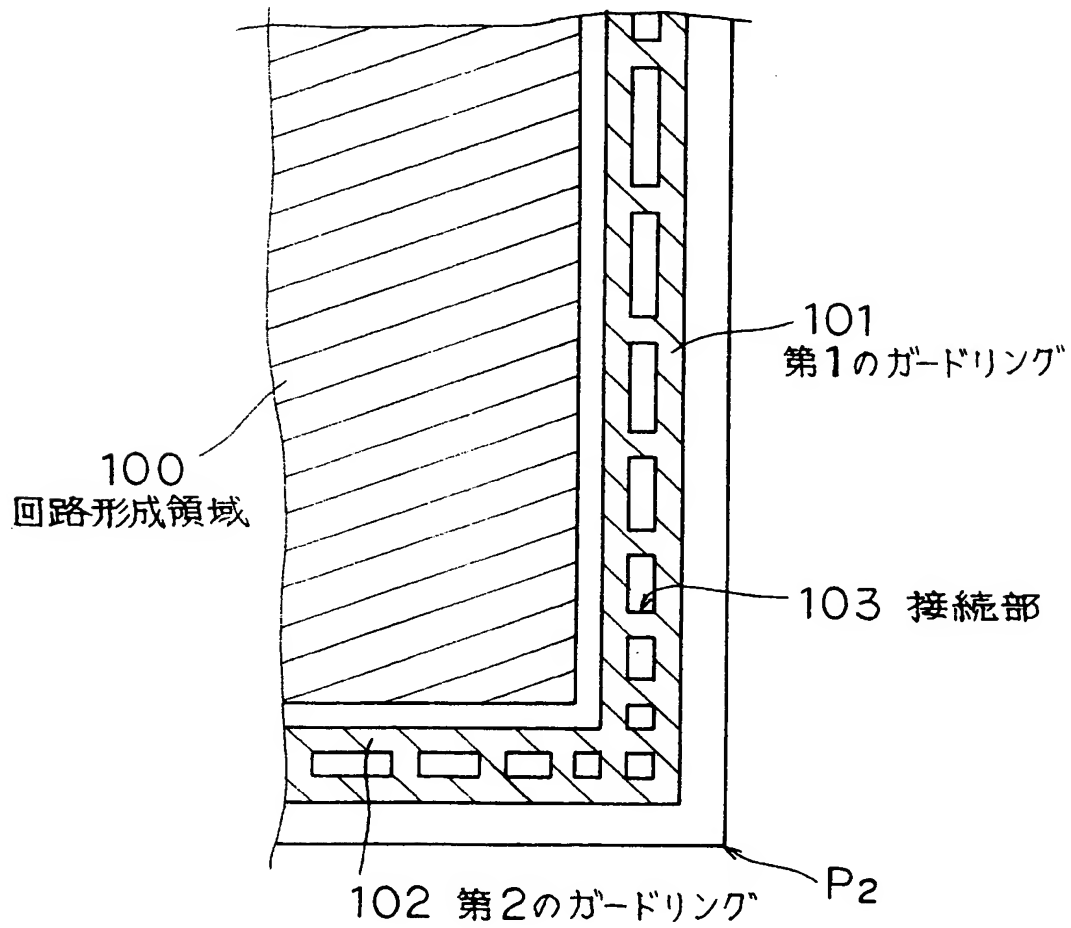
【図 7】



【図 8】

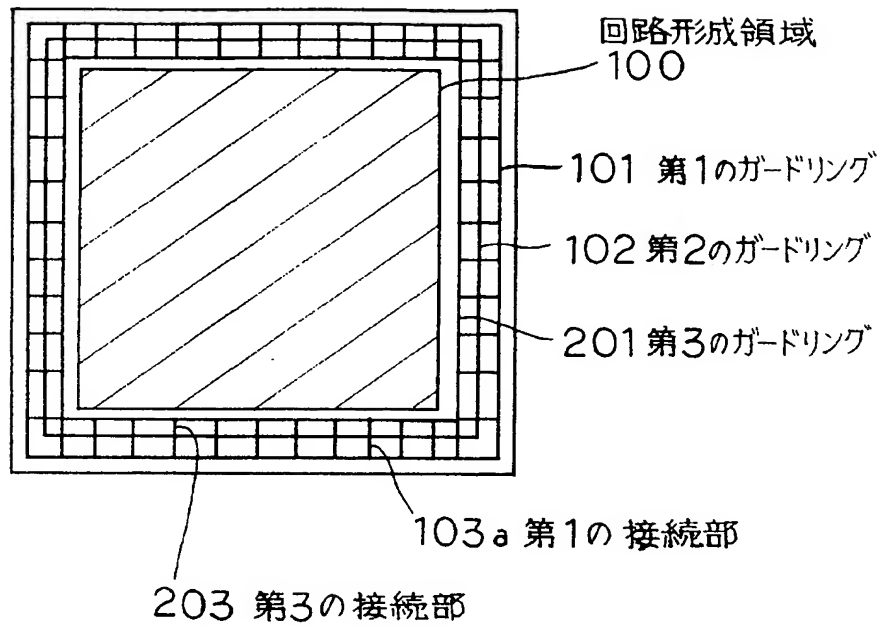


【図 9】

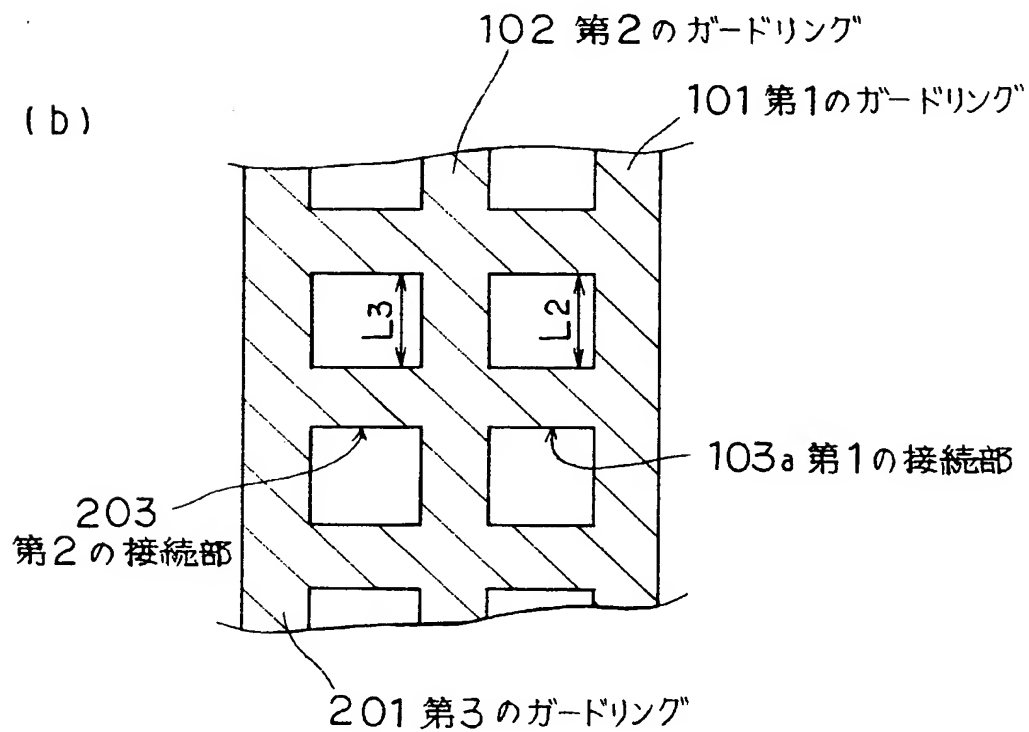


【図10】

(a)

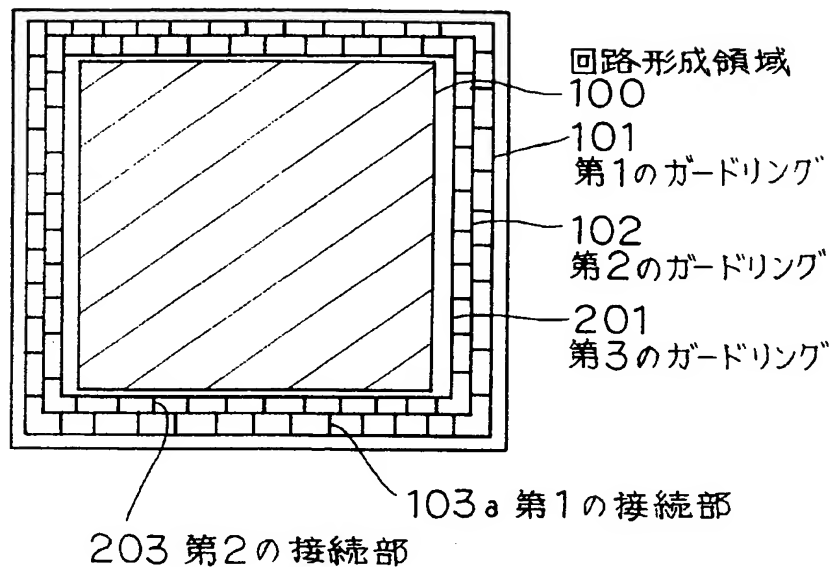


(b)

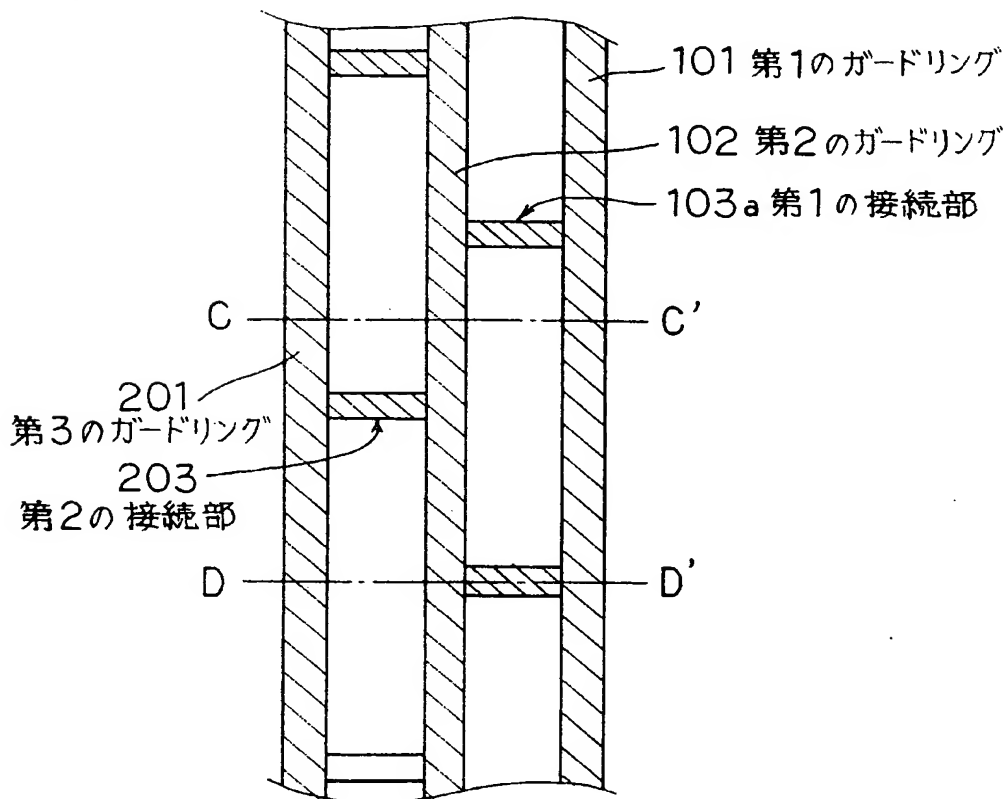


【図 11】

(a)

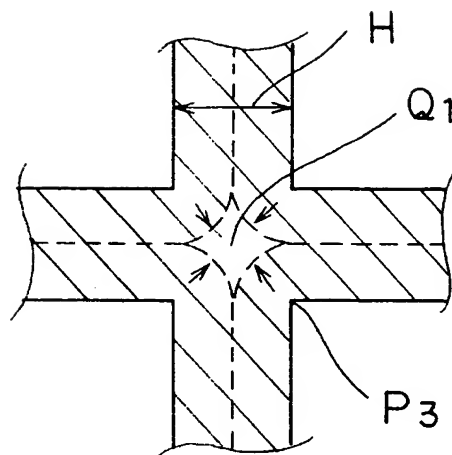


(b)

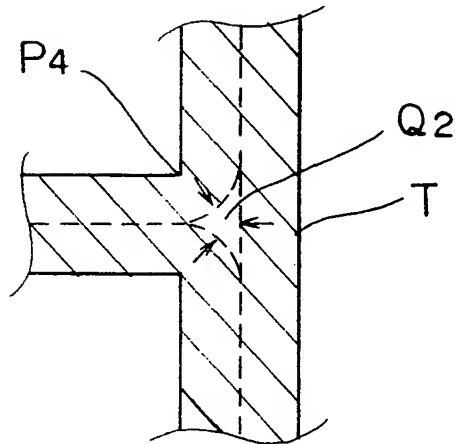


【図 12】

(a)

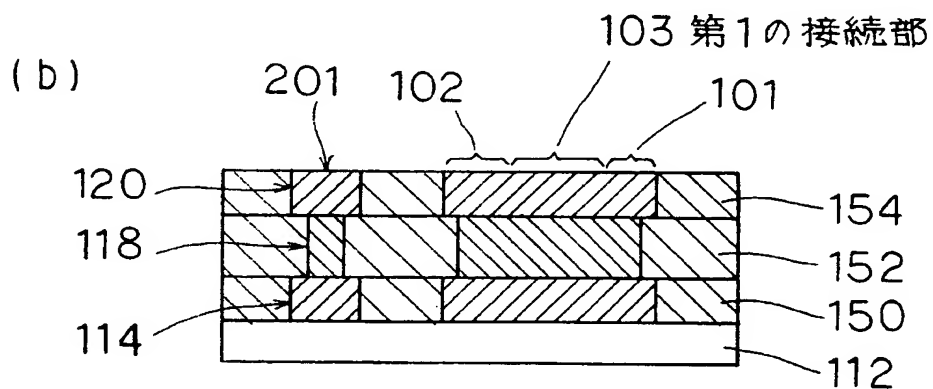
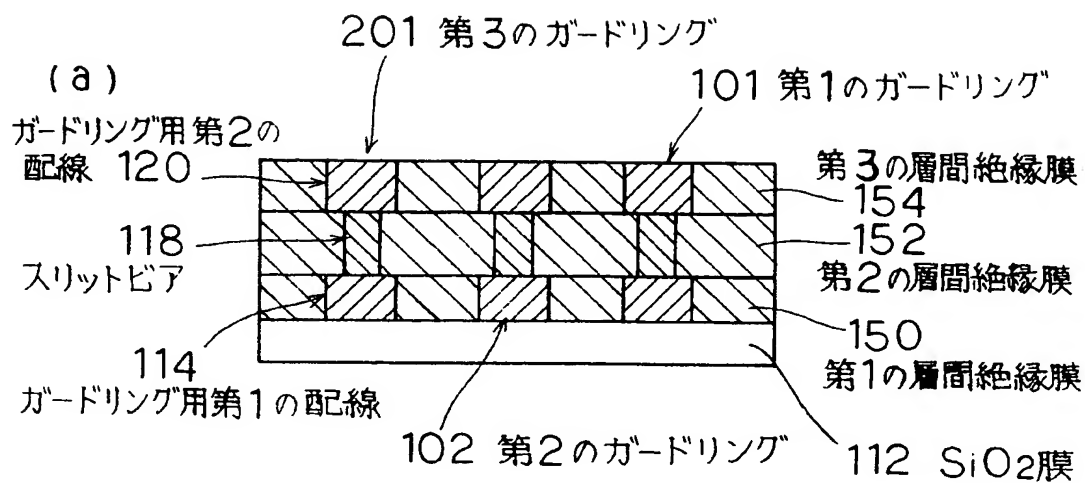


(b)

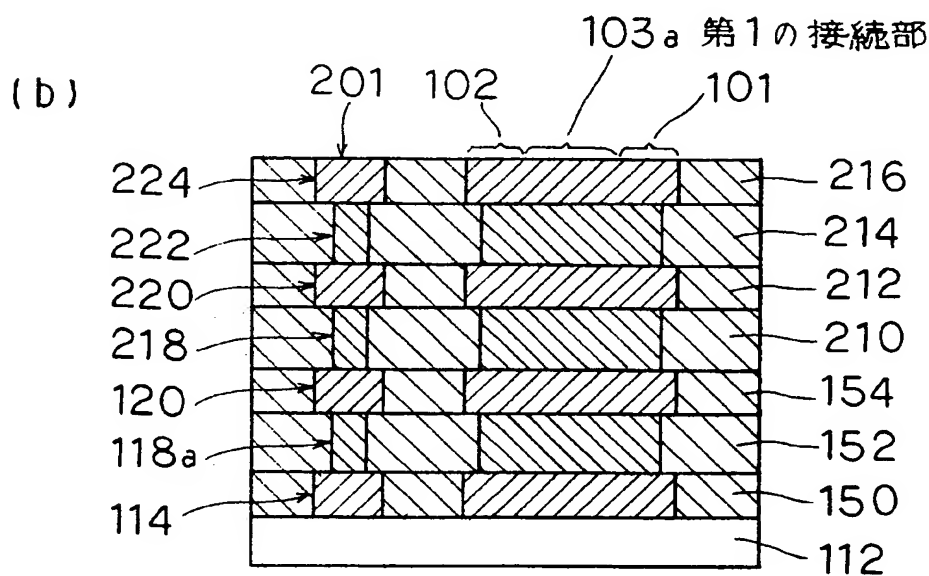
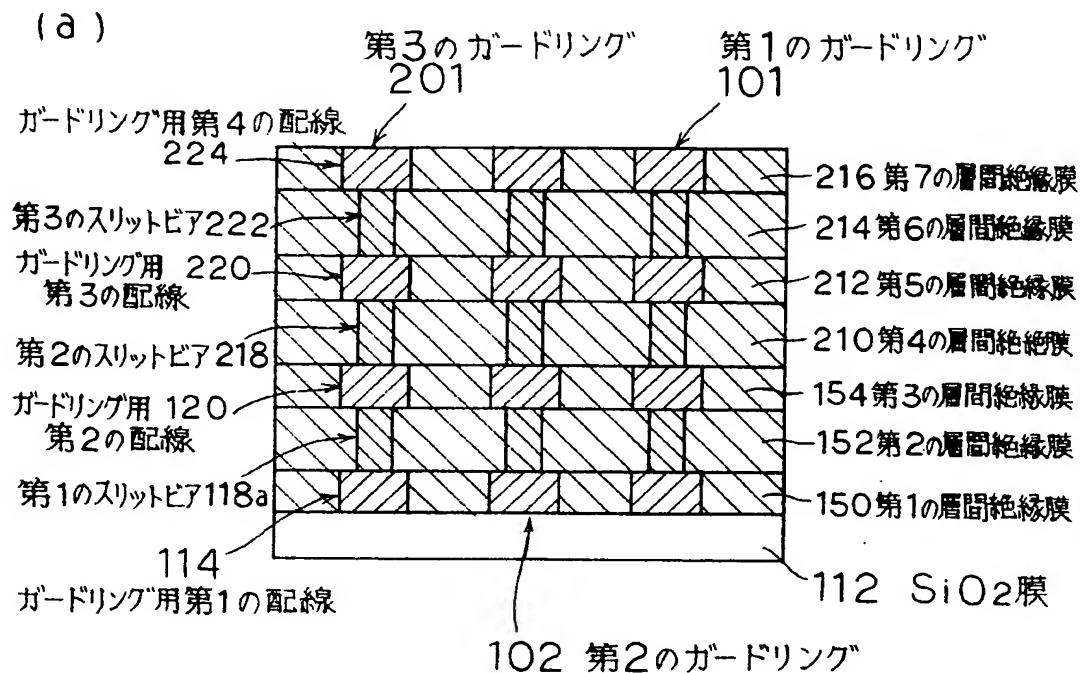




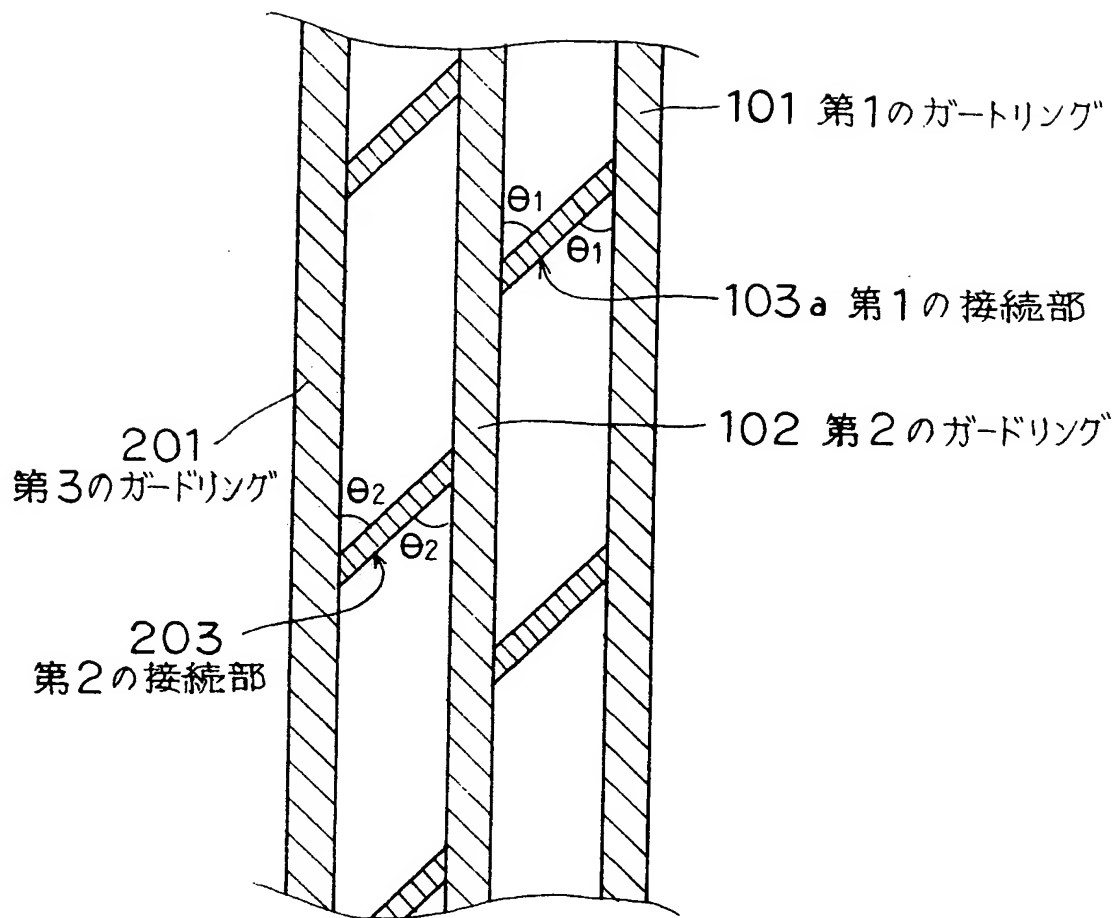
【図13】



【図 14】



【図 15】



【書類名】 要約書

【要約】

【課題】 回路形成領域への水分の侵入をより防止し、信頼性を向上させた半導体装置を提供する。

【解決手段】 回路形成領域 100 への周辺からの水分の浸入を防ぐための、回路形成領域 100 の周囲を囲む第 1 のガードリング 101 と、回路形成領域 100 と第 1 のガードリング 101 の間に設けられ、回路形成領域 100 の周囲を囲む第 2 のガードリング 102 と、第 1 のガードリング 101 と第 2 のガードリング 102 を接続し、第 1 のガードリング 101 と第 2 のガードリング 102 間の領域を複数の区域に分割するための第 1 の接続部 103 とを有する構成である。

【選択図】 図 1

特願 2 0 0 3 - 0 9 8 1 6 3

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日	2 0 0 2 年 1 1 月 1 日
[変更理由]	新規登録
住 所	神奈川県川崎市中原区下沼部 1 7 5 3 番地
氏 名	N E C エレクトロニクス株式会社